

# BUNDESREPUBLIK DEUTSCHLAND

REC'D 23 NOV 1999

WIPAC PCT

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)



## Bescheinigung

Die Océ Printing Systems GmbH in Poing/Deutschland hat eine Patentanmeldung  
unter der Bezeichnung

„Datenbus und Verfahren zum Kommunizieren zweier Baugruppen  
mittels eines solchen Datenbusses“

am 12. Oktober 1998 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprüng-  
lichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig die Symbole  
G 06 F, H 04 L und G 08 L der Internationalen Patentklassifikation erhalten.

München, den 22. Oktober 1999  
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Nietzsch

Aktenzeichen: 198 46 914.4

**Datenbus und Verfahren zum  
Kommunizieren zweier Baugruppen mittels  
eines solchen Datenbusses**

5

Die Erfindung betrifft einen parallelen Datenbus und ein Verfahren  
10 ren zum Kommunizieren zweier Baugruppen mittels eines solchen Datenbusses. Insbesondere bezieht sich die Erfindung auf einen parallelen Datenbus, der für eine Multiprozessor-Architektur geeignet ist. Bei einer solchen Multiprozessor-Architektur können mehrere, grundsätzlich gleichberechtigte Prozessorsysteme über den  
15 Datenbus miteinander kommunizieren.

Ein derartiger Datenbus ist der Multibus II (Multibus ist eine eingetragene Marke der Intel Corp.). Der Multibus II ist ein synchronisierter Bus, der in IEEE Standard for a High-Performance  
20 Synchronous 32-Bit Bus: MULTIBUS II, The Institute of Electrical and Electronics Engineers, Inc., 345 East 47<sup>th</sup> Street, NY 10017, USA, 1988 festgelegt ist. Im Nachfolgenden wird der „MULTIBUS II“ vereinfacht als „Multibus“ bezeichnet.

Die Hardwarerealisierung eines solchen Multibusses besteht aus einer Backplan, in welcher die Signalleitungen des Busses angeordnet sind und welche mit ca. 20 Steckleisten versehen ist, an die jeweils eine Baugruppe angeschlossen werden kann. In Fig. 3 sind schematisch zwei über einen Multibus 1 verbundene Baugruppen  
30 2 gezeigt. Jede Baugruppe 2 besitzt einen unmittelbar an den Signalleitungen des Multibusses 1 angeschlossenen Datenbustreiber 3 und einen mit dem Datenbustreiber 3 verbundenen Controller 4. Der Controller 4 ist wiederum mit den elektronischen Baueinheiten der Baugruppe 2 verbunden. Diese elektronischen Baueinheiten können  
35 einen Prozessor aufweisen oder lediglich eine passive digitale Schaltung darstellen.

Der Controller 4 bereitet die von den elektronischen Baueinheiten erzeugten Daten logisch, gemäß dem Protokoll des Multibusses 1 auf und reicht sie an den Datenbustreiber 3 weiter. Der Datenbustreiber 3 setzt die Daten in die für den Multibus geeigneten elektrischen Datensignale um und legt die elektrischen Datensignale an die Signalleitungen an. Von dem Multibus 1 kommende Datensignale werden in umgekehrter Weise von dem Datenbustreiber aufgenommen, der die Daten an den Controller 4 weitergibt. Der Controller 4 bereitet die Daten zur Verarbeitung durch die elektronischen Baueinheiten entsprechend auf.

Die Datenbustreiber sind transparente elektronische Bauteile, d.h., daß die jeweilige korrespondierende Eingangs- und Ausgangsseite der Datenbustreiber den gleichen logischen Wert annimmt. Da die Datenbustreiber transparent ausgebildet sind, wird eine aktive Verbindung zwischen zwei Baugruppen 2 logisch von dem Controller 4 der einen Baugruppe 2 zu dem Controller 4 der anderen Baugruppe 2 durchgeschaltet.

Die Signallaufzeit zwischen den beiden Controllern 4 begrenzt die maximale Übertragungs- bzw. Busfrequenz. Gemäß dem oben erwähnten IEEE-Standard beträgt die Busfrequenz 10 MHz. Mit einer solchen Busfrequenz wird eine Übertragungsrate von 40 MByte/s erreicht.

Gemäß einer Studie „20MHZ MULTIBUS II PARALLEL SYSTEM BUS INVESTIGATION, TAUFIK MA, INTEL CORPORATION, APRIL 8, 1991“ wurde geplant, den Multibus mit einer Busfrequenz von 20 MHz zu betreiben. Hierzu wurden umfangreiche Anpassungen und Modifikationen vorgeschlagen, um die einzelnen Laufzeiten zwischen den Controllern und Datenbustreibern bzw. zwischen den über den Multibus verbundenen Datenbustreibern zu optimieren. Diese Studie hat als Ziel einen Multibus mit maximal 10 Baugruppen mit 20 MHz und einen Multibus mit maximal 20 Baugruppen mit 16 MHz zu betreiben. Bei einer Busfrequenz von 20 MHz müßte die Signallaufzeit zwischen den Controllern zweier Baugruppen auf 50 ns oder weniger verringert werden. Das Ergebnis dieser Studie ist, daß ein derartig „beschleunigter“ Multibus theoretisch möglich wäre, jedoch

noch ein beträchtlicher Entwicklungsaufwand bis zu seiner tatsächlichen Realisierung besteht.

Jüngere Datenbusse, wie z.B. der PCI-Bus, weisen keine Bustreiber auf, um einen schnelleren Zugriff auf die Signalleistungen des Datenbusses und damit ein höherer Durchsatz erzielen zu können. Diese Datenbusse sind jedoch in der Anzahl der maximal anzuschließenden Baugruppen, die in der Regel deutlich kleiner als 10 ist, begrenzt und deren physikalische Ausdehnung ist auf bspw. 10 cm begrenzt.

Ein Multibus kann hingegen bis zu 50 cm lang sein und 20 Baugruppen miteinander verbinden, wobei mehrere Baugruppen gleichberechtigte Prozessorsysteme darstellen können.

Der Erfindung liegt die Aufgabe zugrunde, einen parallelen Datenbus zu schaffen, der bei Beibehaltung der Vorteile des bekannten Multibusses, wie z.B. der hohen Anzahl anschließbarer Baugruppen, der großen physikalischen Ausdehnung und der Möglichkeit einer Multiprozessor-Architektur, einen hohen Datendurchsatz erlaubt. Eine weitere Aufgabe der vorliegenden Erfindung ist ein Verfahren zum Kommunizieren zweier jeweils mit einem Prozessor versehenen Baugruppen mittels eines solchen Datenbusses zu schaffen.

Die Aufgabe wird durch einen parallelen Datenbus mit den Merkmalen des Anspruchs 1 und durch ein Verfahren mit den Merkmalen des Anspruchs 13 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Der erfindungsgemäße parallele Datenbus weist mehrere parallele Signalleitungen auf, an welche mehrere Baugruppen anschließbar sind, wobei jede Baugruppe einen unmittelbar mit den Signalleitungen in Verbindung stehenden Datenbustreiber und einen mit dem Datenbustreiber verbundenen Controller aufweist, wobei eine Teilzahl der Signalleitungen Datenleitungen zum Übertragen der Daten und Steuerleitungen zum Steuern der Datenübertragung der Daten über die Datenleitungen darstellt, und ist mit einem Taktgeber

zum Erzeugen einer vorbestimmten Busfrequenz versehen, mit welcher die in den Signalleitungen übertragenen Signale getaktet sind. Dieser parallele Datenbus zeichnet sich dadurch aus, daß die Datenbustreiber mit dem Taktgeber verbunden sind und die Datenbustreiber so ausgebildet sind, daß die von und zu den Daten- und Steuerleitungen zu übertragenen Signale während eines vom Taktgeber vorgegebenen Taktes aufgenommen und während des nachfolgenden Taktes abgegeben werden. Hierdurch wird ein von einer Baugruppe zu einer anderen Baugruppe zu sendendes Signal während eines ersten Taktes vom Controller der Sender-Baugruppe zum Datenbustreiber der Sender-Baugruppe, während eines zweiten Taktes vom Datenbustreiber der Sender-Baugruppe über die Signalleitungen zum Datenbustreiber der Empfänger-Baugruppe und während eines dritten Taktes vom Datenbustreiber der Empfänger-Baugruppe zum Controller der Empfänger-Baugruppe übertragen. Während eines Taktes werden die Signale lediglich zwischen einem Controller und einem Datenbustreiber einer Baugruppe oder zwischen zwei Datenbustreibern zweier unterschiedlicher Baugruppen übertragen, wodurch der physikalische Signalweg kurz gehalten wird. Diese kurzen Signalwege erlauben entsprechend kurze Signallaufzeiten, die z. B. kleiner oder gleich 25 ns gehalten werden können, so daß ein Bustakt von z.B. 40 MHz möglich ist. Hierdurch wird trotz der Beibehaltung aller vom Multibus bekannten Vorteile eine erhebliche Steigerung des Datendurchsatzes erzielt.

Das im Anspruch 13 angegebene Verfahren zum Kommunizieren zweier jeweils mit einem Prozessor versehenen Baugruppen mittels eines solchen parallelen Datenbusses zeichnet sich dadurch aus, daß beim Austausch von Datenpaketen zwischen den beiden Baugruppen diese lediglich durch einen einzigen Handshake quittiert werden. Hierdurch kann der Handshake über mehrere Takte verteilt ausgeführt werden, während das Datenpaket mit maximaler Übertragungsgeschwindigkeit ( = pro Takt ein Datenwort) übertragen werden kann.

Die Erfindung wird nachfolgend anhand eines in den Zeichnungen dargestellten Ausführungsbeispiels näher erläutert. Es zeigen schematisch:

- 5    Figur 1            eine Druckersteuerung mit einem erfindungsgemäßen Datenbus,
- Figur 2            zwei über einen erfindungsgemäßen Datenbus verbundene Baugruppen,
- 10    Figur 3            zwei über einen bekannten Datenbus verbundene Baugruppen, und
- Figur 4-12        jeweils Timing-Diagramme, die zur Erläuterung der
- 15                        Signalübertragung mittels des erfindungsgemäßen Datenbusses dienen.

Der erfindungsgemäße parallele Datenbus 5 wird nachfolgend anhand einer Druckersteuerung 6 für Hochleistungsdrucker 7 näher erläutert. Eine solche Druckersteuerung 6 weist ein I/O-Modul 8, ein oder mehrerer Rastermodule 9 und ein Serialiser-Modul 10 auf. Die einzelnen Module 8 bis 10 sind über den Datenbus 5 miteinander verbunden. Die Rastermodule 9 und das Serialiser-Modul 10 sind über einen weiteren Pixel-Bus 11 miteinander verbunden.

Das I/O-Modul 8 empfängt die Druckinformationen von einer Computereinrichtung, die ein Großrechnersystem oder auch ein Rechnernetzwerk sein kann. Die Druckinformation wird von dem I/O-Modul 8 an die Rastermodule 9 und das Serialiser-Modul 10 weitergeleitet, wobei die Rastermodule 9 die Druckbildinformationen empfangen und zu einem von dem Hochleistungsdrucker 7 verarbeitbaren Druckbilddatenstrom umsetzen. Diese Druckbilddatenströme werden von den Rastermodulen 9 über den Pixel-Bus 11 an das Serialiser-Modul 10 übertragen, das die Datenströme in einer vorbestimmten Folge aufreihet und an den Hochleistungsdrucker 7 weiterleitet.

Die Module 8 bis 10 stellen jeweils mit dem Datenbus 5 verbundene Baugruppen 2 dar, wobei jede Baugruppe einen Datenbustreiber 3 und einen Controller 4 aufweist (Figur 2). Der Datenbus 5 entspricht dem Multibus II (Multibus ist eine eingetragene Marke der Intel Corp.), wie er in IEEE Standard for High Performance Synchronous 32-Bit Bus: MULTIBUS II The Institute of Electrical and Electronics Engineers, Inc., 345 East 47<sup>th</sup> Street, NY 10017, USA, 1998, festgelegt ist, bis auf die in der nachfolgenden Beschreibung angegebenen Änderungen.

10

Die Hardwarerealisierung dieses Datenbusses 5 besteht aus einer Backplan, in welcher die Signalleitungen des Busses angeordnet sind und welche mit 20 bis 25 Steckleisten versehen ist, an die jeweils eine Baugruppe 2 angeschlossen werden kann. Eine solche Baugruppe ist das vom Multibus bekannte CSM-Modul (Central Services Modul), das bestimmte Startroutinen ausführt und die einzelnen Baugruppen initialisiert. Das CSM-Modul weist einen Taktgeber auf, der an eine Taktsignalleitung des Datenbusses 5 ein mit einer vorbestimmten Busfrequenz schwingendes Taktsignal anlegt. Im vorliegenden Ausführungsbeispiel beträgt die Busfrequenz 40 MHz.

20

An die Taktsignalleitung 12 sind die Datenbustreiber 3 einer jeden Baugruppe 2 angeschlossen, wobei die Ein- und Ausgabe der Datenbustreiber 3 gemäß der Busfrequenz bzw. gemäß dem Bustakt getaktet werden.

25

Neben der Taktsignalleitung 12 weist der Datenbus 5 weitere Leitungen, wie z.B. 32 Datenleitungen zum Übertragen der Daten, Steuerleitungen zum Steuern der Datenübertragung, Entscheidungsleitungen zum Entscheiden (Arbitrierung), welchen Baugruppe auf den Datenbus 5 zugreifen darf, Adressleitungen und eine oder mehrere Leitungen für die Versorgungsspannung und die Masse auf. Im vorliegenden Ausführungsbeispiel werden zur Übertragung der Adressen und der Daten die gleichen Leitungen verwendet, so daß kombinierte Adress/Datenleitungen vorliegen.

30

35

Erfindungsgemäß sind die Datenbustreiber 3 mit der Taktsignalleitung 12 verbunden und so ausgebildet, daß die von und zu den Daten- und Steuerleitungen zu übertragenden Signale während eines vom Taktgeber vorgegebenen Taktes aufgenommen und während des nachfolgenden Taktes abgegeben werden. Der Teil der Datenbustreiber 3, der die Daten- und Steuerleitungen bedient, ist somit als nicht-transparentes elektronisches Bauteil mit einer Zwischenspeicherfunktion ausgebildet, wie sie beispielsweise durch ein D-Flip-Flop realisiert werden kann. Diese Datenbustreiber 3 nehmen somit während eines Taktes die vom Datenbus 5 kommenden Signale der Daten- und Steuerleitungen auf, speichern sie ab und geben sie während des unmittelbar nachfolgenden Taktes an den jeweiligen Controller 4 ab bzw. nehmen während eines Taktes ein vom Controller 4 kommendes Signal auf, speichern es ab und legen es am unmittelbar nachfolgenden Takt am Datenbus 5 an. Die Datenbustreiber 3 werden somit bezüglich der Daten- und Steuerleitungen „getaktet“ betrieben.

Zur Erläuterung wird nachfolgend angenommen, daß die in Figur 2 auf der linken Seite gezeigte Baugruppe (Sender-Baugruppe S) einen Datentransfer an die auf der rechten Seite gezeigte Baugruppe (Empfänger-Baugruppe E) einleitet. Die Sender-Baugruppe erlangt zunächst in einem vom Multibus bekannten Entscheidungsverfahren (Arbitrierung) das Recht auf den Datenbus 5 zugreifen zu dürfen. Die Sender-Baugruppe S wird deshalb auch als Busbesitzer (Bus-owner) bezeichnet.

Der Controller 4 der Sender-Baugruppe S überträgt während eines ersten Taktes ein Datenwort (1 - 4 Byte) zum Datenbustreiber der Sender-Baugruppe S. Der Datenbustreiber 3 speichert das Datenwort und setzt es in ein für den Datenbus 5 geeignetes Signal um, das während des folgenden, zweiten Taktes an den Signalleitungen des Datenbusses 5 anliegt. Diese elektrischen Datensignale werden von dem Datenbustreiber 3 der Empfänger-Baugruppe 2 während des zweiten Taktes aufgenommen, zwischengespeichert und während des nachfolgenden, dritten Taktes an den Controller 4 der Empfänger-Baugruppe E übertragen.



Diese getaktete Übertragung der Signale unterteilt den gesamten Übertragungsweg vom Controller 4 der Sender-Baugruppe S zum Controller 4 der Empfänger-Baugruppe E in drei Abschnitte, nämlich die beiden Abschnitte 13, 15 zwischen den Controllern 4 und den Datenbustreibern 3 der jeweiligen Baugruppe 2 und den Abschnitt 14 zwischen den beiden Datenbustreibern 3 der beiden Baugruppen 2, der sich über die Signalleitungen des Datenbusses 5 erstreckt. Die Signallaufzeit in den einzelnen Abschnitten ist wesentlich kürzer, als über die gesamte Strecke zwischen zwei Controllern, wie es bei transparenten Datenbustreibern notwendig ist, um das am Controller der Sender-Baugruppe erzeugte Signal so lange aufrecht zu erhalten, bis es am Controller der Empfänger-Baugruppe anliegt. Bei einer solchen Ausführungsform eines Datenbusses kann durch die erfindungsgemäß verkürzten Signallaufzeiten der einzelnen Abschnitte die beispielsweise 25 ns betragen können, die Busfrequenz wesentlich erhöht werden (z.B. auf 40 MHz). Mit einer Busfrequenz von 40 MHz können Datenübertragungsraten bis zu 160 MByte/s erreicht werden.

Die Datenbustreiber können z.B. mit den GTL+-Treibern der Firma Texas Instruments, wie z.B. dem Baustein SN54GTL1655 oder SN74GTL1655 ausgebildet sein.

Nachfolgend wird der Betrieb des erfindungsgemäßen Datenbusses anhand der in den Figuren 4 bis 12 dargestellte Timing-Diagramme näher erläutert.

In Figur 4 ist das Timing-Diagramm zur Übertragung eines Datenpaketes zwischen zwei Baugruppen anhand der Steuersignale SCN0, SCN2, SCN3, SCN4, und der Adress/Datensignale ADN dargestellt. Die Bezeichnungen dieser Signale sind jeweils mit einer der folgenden Endungen „\_S“, „\_B“ und „\_E“ versehen, wobei „\_S“ bedeutet, daß der Signalzustand im Leitungsabschnitt 13 zwischen dem Controller 4 und dem Datenbustreiber 3 der Sender-Baugruppe S dargestellt ist, die Endung „\_B“ bedeutet, daß der Signalzustand in den Signalleitungen des Datenbusses zwischen den Datenbustrei-

bern 3 der in Kommunikation stehenden Baugruppen (Leitungsabschnitt 14) dargestellt ist, und die Endung „\_E“ bedeutet, daß das Signal im Leitungsabschnitt 15 zwischen dem Datenbustreiber 3 und dem Controller 4 der Empfänger-Baugruppe E dargestellt ist.

5 Das Signal SCN0 zeigt eine Anfragephase (request phase) an, wobei das Signal im low-Zustand gültig ist (L = request phase). Das Signal SCN3 gibt das Ende der Datenübertragung an, wobei der 0/1-Übergang bzw. low/high-Übergang den exakten Zeitpunkt des Endes der Datenübertragung darstellt. Mit SCN3 ist das Data-Ready-Signal der Sender-Baugruppe bezeichnet, und mit SCN4 ist das Data-Ready-Signal der Empfänger-Baugruppe E bezeichnet. Die beiden Signale SCN3 und SCN4 sind die Hauptbestandteile eines Handshakes zwischen der Sender-Baugruppe S und der Empfänger-Baugruppe E. Dem Handshake sind Signale SCN5, SCN6 und SCN7 zugeordnet, mit

10 welchen in an sich vom Multibus bekannter Weise bei einer fehlerhaften Datenübertragung von der Empfänger-Baugruppe E die Art des Fehlers angezeigt wird.

Die Signale ADN können z.B. 4, 8, 16, 24 oder 32 Einzelsignale um-

20 fassen, wobei die maximale Anzahl durch die 32 Adress/Datenleitungen des Datenbusses 5 begrenzt ist.

Zu Beginn einer Übertragung eines Datenpaketes wird vom Controller 4 der Sender-Baugruppe das Anfrage-Signal SCN0 erzeugt und

5 die Adresse der Empfänger-Baugruppe ausgegeben (siehe S1 in Fig. 1). Diese Signale werden während des nächsten Taktes (S2) vom Datenbustreiber 3 der Sender-Baugruppe an die Signalleitungen des Datenbusses 5 angelegt. Während eines dritten Taktes (S3) erreicht das Anfrage-Signal SCN0 und die Adressdaten den Controller

30 4 der Empfänger-Baugruppe E, womit diese Empfänger-Baugruppe E erkennt, daß sie ein Datenpaket empfangen soll. Das Signal SCN0 wird lediglich über die Dauer eines Taktes erzeugt. Während des zweiten Taktes S2 erzeugt der Controller 4 der Sender-Baugruppe S ein Data-Ready-Signal SCN3, mit welchem er anzeigt, daß die Sender-Baugruppe S zum Senden eines Datenblockes bereit ist. Gleich-

35 zeitig wird an die Adress/Datenleitungen eine Kennung für den Typ des Datenblockes angelegt. Diese Signale erreichen zum Takt S4

den Controller 4 der Empfänger-Baugruppe E. Nach dem Feststellen des Data-Ready-Signals SCN3 durch die Empfänger-Baugruppe E überprüft diese, ob sie zur Aufnahme eines Datenpaketes ausreichend freien Speicherplatz besitzt. Die Größe des Datenpaketes wird bei  
 5 der Initialisierung des Datenbusses festgelegt und kann 32, 64, 96 oder 128 Byte betragen. Ist an der Empfänger-Baugruppe E ausreichend Speicherplatz zur Aufnahme eines Datenpaketes vorhanden, so erzeugt der Controller 4 der Empfänger-Baugruppe E ein Data-Ready-Signal SCN4, das während dreier Takte (S6 - S8) zum Controller der Sender-Baugruppe S übertragen wird. Zum Aufnehmen des  
 10 Data-Ready-Signals SCN3 der Sender-Baugruppe S, Überprüfen, ob genügend freier Speicherplatz vorhanden ist, und Ausgeben des Data-Ready-Signals SCN4 benötigt die Empfänger-Baugruppe E zwei Takte. Während des Taktes S8 erreicht das Data-Ready-Signal SCN4  
 15 den Controller 4 der Sender-Baugruppe S. Mit dem Empfang dieses Signals durch den Controller 4 der Sender-Baugruppe S ist der Handshake quittiert worden.

Während der Quittierung des Handshakes werden beginnend mit dem  
 20 Takt S3 bis zum Takt S10 Datenwörter, die in der Regel 32 Bit umfassen, von dem Controller 4 der Sender-Baugruppe S abgesandt. Hierbei wird pro Takt ein solches Datenwort vom Controller 4 abgesandt, die dann jeweils mit zwei Takten Verzögerung (S5 - S12) am Controller 4 der Empfänger-Baugruppe E ankommen. Das Data-Ready-Signal SCN3 der Sender-Baugruppe S ist solange aktiv, bis  
 25 das letzte Datenwort abgesendet worden ist. Gleichzeitig mit dem Absenden des letzten Datenwortes D7 wird vom Controller 4 der Sender-Baugruppe S das Steuersignal SCN2 aktiviert (low), um an dessen 0/1-Übergang (low/high-Übergang) das exakte Ende der Übertragung des Datenpaketes zu markieren. Wie man in Figur 4 erkennen kann, wird das SCN2-Signal in den einzelnen Übertragungsabschnitten synchron mit dem Datenwort D7 übertragen, so daß das Signal SCN2 während des Taktes S12 von der Empfänger-Baugruppe E und auch von den anderen an die Signalleitungen des Datenbusses 5  
 30 angeschlossenen Baugruppen empfangen wird, wodurch diese erkennen, daß die Übertragung des Datenpaketes abgeschlossen ist. Nun kann ein weiteres Datenpaket zwischen der Sender- und Empfänger-

Baugruppe übertragen werden oder in einem vom Multibus an sich bekannten Entscheidungsverfahren (Arbitrierung) kann das Recht, auf den Datenbus Signale zugreifen zu dürfen, auf eine andere Baugruppe übertragen werden.

5

Da erfindungsgemäß jedes Datenpaket, das z.B. 8 Datenwörter umfassen kann, mittels eines einzigen Handshakes übertragen wird, können die Datenwörter D0 - D7 mit maximaler Übertragungsrate (pro Takt eine Datenwort) übertragen werden, wohingegen für die Verarbeitung des Handshakes ein vergleichsweise langer Zeitraum von z.B. 7 Takten (S2 - S8) zur Verfügung steht.

In Figur 5 ist ein ähnliches Diagramm zur Übertragung eines lediglich ein Datenwort D0 aufweisenden Datenpaketes gezeigt. Die Quittierung des Handshakes durch das Signal SCN4 wird, wie bei dem oben anhand von Figur 4 erläuterten Übertragungsvorgang, wieder zum Takt S8 vom Controller 4 der Sender-Baugruppe S empfangen. Erst nachdem der Handshake quittiert ist und dieses Quittierungssignal SCN4 von der Sender-Baugruppe S verarbeitet worden ist (Takt S10), wird die Ausgabe der das Datenwort D0 darstellenden Signale durch den Controller 4 der Sender-Baugruppe S beendet, damit sichergestellt ist, daß die Empfänger-Baugruppe E in der Lage ist, das Datenwort D0 zu empfangen. Da hier lediglich ein Datenwort D0 übertragen wird, ist es das „letzte“ Datenwort des Paketes, weshalb das das Ende der Datenübertragung anzeigende Steuersignal SCN2 während der gesamten Zeit, während der die Datensignale des Datenwortes D0 aktiv sind, auch aktiv geschaltet wird (low).

30 In den Timing-Diagrammen der Figuren 6 und 7 ist ein Referenz-Lesezugriff und ein Referenz-Schreibzugriff gezeigt. Die Referenz-Zugriffe umfassen die sogenannte „I/O-Space Operation“ und die „Memory Space Operations“, bei welchen jeweils von einer Sender-Baugruppe in ein Register oder eine Speicherzelle einer anderen Baugruppe ein Datenwort geschrieben bzw. aus der Speicherzelle ausgelesen wird.

Beim Referenz-Schreibzugriff (Fig. 6) entspricht der Ablauf der Steuersignale SCN0, SCN2, SCN3 und SCN4 exakt demjenigen beim Übertragen eines Datenpaketes mit einem einzigen Datenwort (Figur 5). Von diesem Datentransfer unterscheidet sich der Referenz-Schreibzugriff lediglich dadurch, daß an den Adress/Datenleitungen zunächst eine aus zwei Datenwörtern bestehende Adresse ADR und danach das zu übertragende Datenwort D0 übertragen wird.

Mit dem Referenz-Lesezugriff (Fig. 7) kann eine Sender-Baugruppe S eine Speicherzelle einer Empfänger-Baugruppe E auslesen. Der Datentransfer wird gleichermaßen wie bei den vorhergehenden Datentransferen durch Einleiten einer Anfragephase mit dem Steuersignal SCN0 und Anlegen einer aus zwei Datenworten bestehenden Adresse ADR an die Adress/Datenleitungen begonnen. Nach der Anfragephase setzt die Sender-Baugruppe S die Steuersignale SCN2 und SCN3, womit sie anzeigt, daß sie zur Aufnahme der Daten von der Empfänger-Baugruppe E bereit ist. Die Empfänger-Baugruppe E sendet ein Datenwort D0 zur Sender-Baugruppe S und zeigt gleichzeitig durch Setzen des Steuersignals SCN4 an, daß die Daten gültig sind. Die Empfänger-Baugruppe E nimmt die Daten D0 und das Steuersignal SCN4 wieder weg, wenn sie die gesetzten Signale SCN2 und SCN3 der Sender-Baugruppe S erkannt hat. Sobald die Sender-Baugruppe S das gesetzte Signal SCN4 erkannt hat, übernimmt sie die Daten D0 und setzt die Steuersignale SCN2 und SCN3 zurück. Der Datentransfer ist damit abgeschlossen.

In den Figuren 8 und 9 sind die Timing-Diagramme eines Interconnect-Schreibzugriffes und eines Interconnect-Lesezugriffes gezeigt. Mit diesen Interconnect-Zugriffen kann in einem sogenannten Interconnect-Speicherraum, der an jeder Baugruppe vorgesehen ist, jeweils ein Datenwort eingetragen bzw. ausgelesen werden. Die Speicherzellen dieses Speicherraumes werden mit einer Adresse ADR, die lediglich aus einem Datenwort besteht, adressiert. Die Interconnect-Zugriffe unterscheiden sich somit von den Referenzzugriffen in der Größe der Adresse, wobei der Ablauf der Steuer-

signale SC0, SCN 2, SCN3, SCN4 und die Übertragung des jeweiligen Datenwortes D0 übereinstimmen.

Der Referenz- und Interconnect-Zugriff ist für Bussysteme, die  
 5 jeweils mit einem Prozessor versehene Baugruppen verbinden, von untergeordneter Bedeutung, da eine Interprozessor-Kommunikation nur mittels der oben beschriebenen Datenpakete (Messages) möglich ist. Der Referenz- und der Interconnect-Zugriff dienen bei Multi-  
 10 prozessorsystemen lediglich zur Initialisierung und Diagnose des Systems bzw. zur Kommunikation mit Peripheriegeräten, die keine eigene Prozessorsteuerung besitzen.

Zur Entscheidung (Arbitrierung) werden, wie es vom Multibus bekannt ist, die Steuersignale ARB(5..0) und ein Busanfragesignal  
 15 BREQ (bus request) verwendet. Diese Signale werden im Gegensatz zu den Adress/Datensignalen und den Steuersignalen nicht eingetaktet, da dann die Entscheidungsleitungen nicht in einem wired-or-Modus verwendet werden können, der bei der Entscheidung der Zugriffsrechte ausgenutzt wird. Der Datenbustreiber ist daher für  
 20 diese Signale transparent. Da eine Taktperiode als Signaldurchlaufzeit von einem Controller zum anderen Controller zur Übertragung der Signale nicht genügt, wird der Datenbus mit einer zusätzlichen Taktsignalleitung versehen, an die ein Hilfstakt BCLK2 angelegt wird. Der Hilfstakt BCLK2 (20 MHz) wird durch Teilen der  
 5 Busfrequenz durch zwei erzeugt.

Die Signale ARB(5..0) und BREQ werden von den Baugruppen in der high-Phase des Hilfstaktes erzeugt und auch in der high-Phase des Hilfstaktes BCLK2 abgefragt. Damit wird sichergestellt, daß den  
 30 Signalen mindestens zwei Taktperioden der Busfrequenz bzw. des Bustaktes als Signaldurchlaufzeit zur Verfügung stehen.

Wie es in Figur 10 gezeigt ist, werden für das Einschwingen der Entscheidungssignale minimal vier Takte des Bustaktes bzw. zwei  
 35 Takte des Hilfstaktes verwendet. Dieser dem Entscheidungssignal zum Einschwingen zur Verfügung gestellte Zeitraum kann auf maximal 18 Takte der Busfrequenz verlängert werden.

In Figur 11 ist ein Diagramm gezeigt, das den Abbruch einer Datenübertragung aufgrund eines bei der Empfänger-Baugruppe E erzeugten Fehlers zeigt. Wenn die Empfänger-Baugruppe E einen Fehler feststellt, gibt sie mittels der Steuersignale SCN4 bis SCN7 (nicht dargestellt) gleichzeitig mit dem Data-Ready-Signal SCN4 einen Fehlercode aus. Der durch die Signale SCN5 bis SCN7 ausgegebene Fehlercode entspricht dem vom Multibus bekannten Fehlercode.

Wenn die Empfänger-Baugruppe E den Fehlercode erkennt, ändert sie den Datentransfer, indem sie das Steuersignal SCN2 setzt. Der Datentransfer ist beendet, wenn die Empfänger-Baugruppe E das gesetzte Steuersignal SCN2 erkennt.

Gegenüber den bei den Baugruppen erzeugten Fehlern unterscheidet man sogenannte Busfehler, die allgemein im Datenbussystem auftreten. Beim erfindungsgemäßen Datenbus kann das Fehlersignal BUSERR nur von den Baugruppen gesetzt werden, die an dem jeweiligen Datentransfer beteiligt sind, d.h. der Sender-Baugruppe S und der Empfänger-Baugruppe E. Alle anderen mit dem Datenbus verbundenen Baugruppen sind entweder in Ruhe oder befinden sich in der Entscheidungsphase (Arbitrierung). Beim Auftreten eines Busfehlers müssen diese die Arbitrierungsphase verlassen und neu beginnen. Die Baugruppen setzen das Fehlersignal BUSERR, wenn ein Paritätsfehler bei den Adress/Daten- oder Steuersignalen vorliegt oder das Bus-Protokoll bezüglich der Steuersignale verletzt wurde. Dies soll gewährleisten, daß die Daten, die bei einer Baugruppe eintreffen, fehlerfrei sind. Bei einer Datenübertragung mittels eines Datenpaketes, einem schreibenden Interconnect-Zugriff und einem schreibenden Referenz-Zugriff wird das Fehler-signal BUSERR von der Empfänger-Baugruppe erzeugt. Bei einem lesenden Interconnect-Zugriff und einem lesenden Referenz-Zugriff, bei denen ein Datenwort von der Empfänger-Baugruppe zur Sender-Baugruppe übertragen wird, wird das Fehlersignal BUSERR von der Sender-Baugruppe erzeugt.

Bei dem erfindungsgemäßen Datenbus ist zu beachten, daß alle Signale einer Sender-Baugruppe dreimal eingetaktet werden, bevor sie von der Empfänger-Baugruppe verarbeitet werden können. Aus diesem Grund wird ein Busfehler stets zwei oder drei Takte später erkannt, je nach dem ob der Fehler auf der Sender-Baugruppe oder auf dem Datenbus aufgetreten ist. Die Empfänger-Baugruppe setzt in diesem Fall das Fehlersignal BUSERR. Bei einem lesenden Interconnect-Zugriff oder lesenden Referenz-Zugriff tritt der Fehler auf der Empfänger-Baugruppe auf, wobei im Falle eines Fehlers die Sender-Baugruppe das Fehlersignal BUSERR setzt.

Die zeitliche Verzögerung des Fehlersignals wird dadurch berücksichtigt, daß der Controller der Sender-Baugruppe, die ein Datenpaket versendet oder einen Zugriff durchführt, nach dem Ende des Datentransfers noch sechs Takte wartet, bis er der CPU der Baugruppe den Status des Datentransfers mitteilt, da in dieser Zeit noch ein Fehlersignal eintreffen kann.

Da erfindungsgemäß bei jedem Datentransfer lediglich ein einziger Handshake erfolgt, kann lediglich dieser eine Handshake, d.h. das Data-Ready-Signal SCN4 überprüft werden, wodurch sich Änderungen gegenüber dem bekannten Multibus-Protokoll ergeben.

Die Paritätsprüfung erfolgt zu den nachfolgend beschriebenen Zeitpunkten:

1. Steuersignale werden immer überprüft.
2. Adress/Datensignale werden während der Anfragephase (request phase) überprüft.
3. Adress/Datensignale werden während einer auf die Anfragephase folgenden Antwortphase eines Lese-Zugriffes überprüft, wenn SCN4 gesetzt ist und SCN(7..5) nicht gesetzt ist, d.h., wenn ein korrekter Handshake vorliegt.



4. Adress/Datensignale werden während der Antwortphase eines Schreib-Zugriffes geprüft, wenn SCN3 gesetzt ist und SCN(7..5) nicht gesetzt ist, d.h., es liegt ein korrekter Handshake vor.
- 5 Eine Datenbusprotokollverletzung wird festgestellt, wenn
  1. SCN0 während der Antwortphase gesetzt wird,
  2. SCN2 in der Antwortphase gesetzt und SCN3 in der Antwortphase nicht gesetzt wird,
  3. SCN5, SCN6 oder SCN7 während der Antwortphase gesetzt werden und SCN4 nicht gesetzt wird,
  4. SCN2 sich während der Antwortphase ändert, während SCN3 gesetzt bleibt, und
  5. bei einem Datentransfer mittels Datenpaketen mehr Datenworte gesendet werden als während der Konfiguration des Datenbussystems festgelegt worden ist.

Der in Punkt 5 beschriebene Fehler wird bei dem bekannten Multi-bus-Protokoll als ein bei einer Baugruppe auftretender Fehler behandelt. Da nach dem Auftreten dieses Fehlers der Datentransfer nicht mehr fortgesetzt werden kann und der Fehler bei dem erfindungsgemäßen Verfahren mit einem einzigen Handshake in der Regel nach dem Handshake auftritt, wird er als Busfehler bewertet. Ein derartiger Busfehler bei einem Datentransfer mittels eines Datenpaketes ist in dem in Figur 12 gezeigten Diagramm dargestellt. Hierbei werden statt acht Datenworte neun Datenworte übertragen. Die Empfänger-Baugruppe setzt daher nach dem achten Datenwort D7 das Fehlersignal BUSERR. Wie aus dem Timing-Diagramm zu entnehmen ist, hat die Sender-Baugruppe den Datentransfer auf ihrer Seite bereits beendet bevor ihr die Empfänger-Baugruppe den Fehler meldet. Aus diesem Grund muß der Controller der Sender-Baugruppe noch sechs Takte warten bis er den Abschluß des Transfers an die

CPU der Baugruppe melden kann, da in diesem Zeitraum noch Fehlermeldungen der Empfänger-Baugruppe eintreffen können.

Die Erfindung ist nicht auf ein dem Multibus ähnlichen Datenbus beschränkt, sondern kann bei jedem parallelen Datenbus verwendet werden.

Die Erfindung kann folgendermaßen zusammengefaßt werden:

Sie betrifft einen parallelen Datenbus mit mehreren parallelen Signalleitungen, an welche mehrere Baugruppen anschließbar sind, wobei jede Baugruppe einen unmittelbar mit den Signalleitungen in Verbindung stehenden Datenbustreiber und einen mit dem Datenbustreiber verbundenen Controller aufweist. Dieser Datenbus geht von dem bekannten MULTIBUS II aus. Die Erfindung zeichnet sich dadurch aus, daß die Datenbustreiber mit dem Taktgeber des Datenbusses verbunden sind und die Datenbustreiber so ausgebildet sind, daß die von und zu den Daten- und Steuerleitungen zu übertragenden Signale während eines vom Taktgeber vorgegebenen Taktes aufgenommen und während des nachfolgenden Taktes abgegeben werden. Hierdurch wird die Signalstrecke zwischen zwei über den Datenbus verbundener Baugruppen an den Datenbustreibern jeweils unterbrochen, so daß während eines Taktes des Datenbusses die Signale jeweils einen kürzeren Streckenabschnitt als bei herkömmlichen Datenbussen mit transparenten Datenbustreibern zurücklegen. Hierdurch verringern sich die einzelnen Signallaufzeiten, weshalb die Busfrequenz des Datenbusses und damit der Datendurchsatz erheblich erhöht werden können.

Ferner betrifft die Erfindung ein Verfahren zum Kommunizieren zweier jeweils mit einem Prozessor versehener Baugruppen, wobei zwischen den Baugruppen Datenpakete ausgetauscht werden. Das erfindungsgemäße Verfahren zeichnet sich dadurch aus, daß jedes Datenpaket lediglich durch einen einzigen Handshake quittiert wird. Mit diesem Verfahren können Daten mit maximaler Übertragungsrate am Datenbus übertragen werden.

# **Bezugszeichenliste**

5	1	Multibus
	2	Baugruppe
	3	Datenbustreiber
	4	Controller
	5	Datenbus
10	6	Druckersteuerung
	7	Hochleistungsdrucker
	8	I/O-Modul
		Rastermodul
	10	Serialiser-Modul
15	11	Pixel-Bus
	12	Taktsignalleitung
	13	Leitungsabschnitt zwischen dem Controller und dem Datenbus- treiber in der Sender-Baugruppe
	14	Leitungsabschnitt zwischen den Datenbustreibern zweier kom- munizierender Baugruppen
20	15	Leitungsabschnitt zwischen dem Controller und dem Datenbus- treiber in der Empfänger-Baugruppe

5

## Ansprüche

1. Paralleler Datenbus mit  
10 mehreren parallelen Signalleitungen, an welche mehrere Baugruppen (2) anschließbar sind, wobei jede Baugruppe (2) einen unmittelbar mit den Signalleitungen in Verbindung stehenden Datenbustreiber (3) und einen mit dem Datenbustreiber (3) verbundenen Controller (4) aufweist, wobei eine Teilzahl  
15 der Signalleitungen Datenleitungen zum Übertragen der Daten und Steuerleitungen zum Steuern der Datenübertragung der Daten über die Datenleitungen darstellt, und  
einem Taktgeber zum Erzeugen einer vorbestimmten Busfrequenz, mit welcher die in den Signalleitungen übertragenen  
20 Signale getaktet sind,  
**dadurch gekennzeichnet,**  
daß die Datenbustreiber (3) mit dem Taktgeber verbunden sind und die Datenbustreiber (3) so ausgebildet sind, daß die von  
und zu den Daten- und Steuerleitungen zu übertragenden Signale während eines vom Taktgeber vorgegebenen Taktes aufgenommen und während des nachfolgenden Taktes abgegeben werden.  
5
2. Paralleler Datenbus nach Anspruch 1,  
30 **dadurch gekennzeichnet,**  
daß der Taktgeber eine Busfrequenz von zumindest 20 MHz erzeugt.
3. Paralleler Datenbus nach Anspruch 1,  
35 **dadurch gekennzeichnet,**  
daß der Taktgeber eine Busfrequenz von etwa 40 MHz erzeugt.

4. Paralleler Datenbus nach einem der Ansprüche 1 bis 3,  
**dadurch gekennzeichnet,**  
daß der Datenbus 32 Datenleitungen aufweist.
- 5 5. Paralleler Datenbus nach einem der Ansprüche 1 bis 4,  
**dadurch gekennzeichnet,**  
daß eine weitere Teilzahl der Signalleitungen als Entscheidungsleitungen ausgebildet sind zum Entscheiden, welche mit den Signalleitungen verbundene Baugruppe Zugriffspriorität aufweist, wobei die Entscheidungsleitungen mit nicht getakteten Open-Drain-Ausgängen der jeweiligen Datenbustreiber (3) verbunden sind, so daß sie eine wired-or-Logik bilden.
- 10 6. Paralleler Datenbus nach Anspruch 5,  
**dadurch gekennzeichnet,**  
15 daß zur Ansteuerung der Entscheidungsleitungen eine Einrichtung zum Erzeugen eines Hilfstaktes (BCLK2) mit einer geringeren Frequenz als der Busfrequenz vorgesehen ist.
- 20 7. Paralleler Datenbus nach Anspruch 6,  
**dadurch gekennzeichnet,**  
daß die Einrichtung zum Erzeugen eines Hilfstaktes ein Frequenzteiler ist.
- 5 8. Paralleler Datenbus nach einem der Ansprüche 1 bis 7,  
**dadurch gekennzeichnet,**  
daß die zum Controller (4) führenden Ausgänge des Datenbus-  
treibers (3) als Low-Voltage-TTL-Ausgänge ausgebildet sind.
- 30 9. Paralleler Datenbus nach einem der Ansprüche 1 bis 8,  
**dadurch gekennzeichnet,**  
daß die Signalleitungen eine physikalische Ausdehnung von  
zumindest 40 cm aufweisen.
- 35 10. Paralleler Datenbus nach einem der Ansprüche 1 bis 8,  
**dadurch gekennzeichnet,**

daß die Signalleitungen eine physikalische Ausdehnung von  
zumindest 50 cm aufweisen.

- 5 11. Paralleler Datenbus nach einem der Ansprüche 1 bis 10,  
**dadurch gekennzeichnet,**  
daß mehrere der mit den Signalleitungen verbundene Baugrup-  
pen (2) mit jeweils einem Prozessor versehen sind.
- 10 12. Paralleler Datenbus nach einem der Ansprüche 1 bis 11,  
**dadurch gekennzeichnet,**  
daß der Datenbus (5) Multibus-kompatibel ist.
- 15 13. Verfahren zum Kommunizieren zweier jeweils mit einem Prozes-  
sor versehener Baugruppen (2) mittels eines parallelen Da-  
tenbusses (5) nach einem der Ansprüche 1 bis 12, wobei  
zwischen den beiden Baugruppen (2) Datenpakete (Messages)  
ausgetauscht werden,  
**dadurch gekennzeichnet,**  
daß jedes Datenpaket lediglich durch einen einzigen Handsha-  
20 ke quittiert wird.
- 5 14. Verfahren nach Anspruch 13,  
**dadurch gekennzeichnet,**  
daß ein Handshake jeweils ein Data-Ready-Signal (SCN3) der  
Sender-Baugruppe (2) und ein Data-Ready-Signal (SCN4) der  
Empfänger-Baugruppe (2) umfaßt, wobei zu Beginn des Daten-  
transfers das Data-Ready-Signal (SCN3) der Sender-Baugruppe  
(2) an die Empfänger-Baugruppe (2) gesandt wird, und  
nach dem Empfang des Data-Ready-Signals (SCN3) der Sender-  
30 Baugruppe (2) die Empfänger-Baugruppe ihr Data-Ready-Signal  
(SCN4) an die Empfänger-Baugruppe (2) sendet.
- 35 15. Verfahren nach Anspruch 14,  
**dadurch gekennzeichnet,**  
daß die Sender-Baugruppe (2) ihr Data-Ready-Signal (SCN3)  
nur aussendet, wenn das vollständige Datenpaket auf dieser  
Baugruppe (2) vorhanden ist.

16. Verfahren nach Anspruch 14 oder 15,

**dadurch gekennzeichnet,**

daß die maximale Größe der Datenpakete auf einen vorbestimmten Wert festgelegt ist, und

die Empfänger-Baugruppe (2) ihr Data-Ready-Signal (SCN4) nur aussendet, wenn genügend freier Speicherplatz auf der Empfänger-Baugruppe (2) vorhanden ist.

17. Verfahren nach Anspruch 16,

**dadurch gekennzeichnet,**

daß die maximale Größe der Datenpakete auf 32 Byte, 64 Byte, 96 Byte oder 128 Byte festgelegt ist.

18. Druckersteuerung für Hochleistungsdrucker, mit

einem I/O-Modul (8), einem oder mehreren Rastermodulen (9) und einem Serialiser-Modul (10), wobei die Module (8 bis 10) jeweils einen Prozessor aufweisen,

**dadurch gekennzeichnet,**

daß die Module mit einem parallelen Datenbus nach einem der Ansprüche 1 bis 12 verbunden sind.

# **Zusammenfassung**

Die Erfindung betrifft einen parallelen Datenbus mit mehreren parallelen Signalleitungen, an welche mehrere Baugruppen anschließ-  
 10 bar sind, wobei jede Baugruppe einen unmittelbar mit den Signalleitungen in Verbindung stehenden Datenbustreiber und einen mit dem Datenbustreiber verbundenen Controller aufweist. Dieser Datenbus geht von dem bekannten MULTIBUS II aus. Die Erfindung  
 15 zeichnet sich dadurch aus; daß die Datenbustreiber mit dem Taktgeber des Datenbusses verbunden sind und die Datenbustreiber so ausgebildet sind, daß die von und zu den Daten- und Steuerleitungen zu übertragenden Signale während eines vom Taktgeber vorgegebenen Taktes aufgenommen und während des nachfolgenden Taktes ab-  
 20 gegeben werden. Hierdurch wird die Signalstrecke zwischen zwei über den Datenbus verbundener Baugruppen an den Datenbustreibern jeweils unterbrochen, so daß während eines Taktes des Datenbusses die Signale jeweils einen kürzeren Streckenabschnitt als bei herkömmlichen Datenbussen mit transparenten Datenbustreibern zurück-  
 25 legen. Hierdurch verringern sich die einzelnen Signallaufzeiten, weshalb die Busfrequenz des Datenbusses und damit der Datendurchsatz erheblich erhöht werden können.

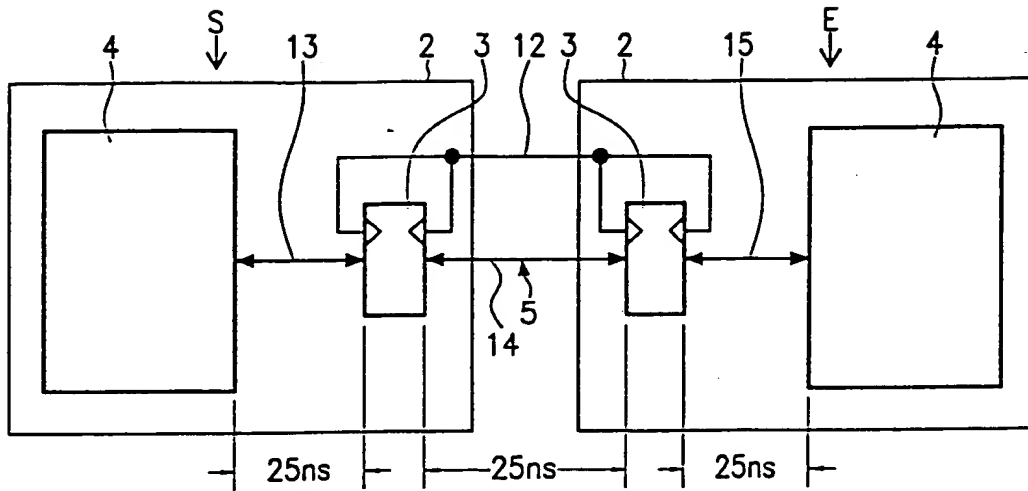
Ferner betrifft die Erfindung ein Verfahren zum Kommunizieren  
 30 zweier jeweils mit einem Prozessor versehener Baugruppen, wobei zwischen den Baugruppen Datenpakete ausgetauscht werden. Das erfindungsgemäße Verfahren zeichnet sich dadurch aus, daß jedes Datenpaket lediglich durch einen einzigen Handshake quittiert wird. Mit diesem Verfahren können Daten mit maximaler Übertragungsrate  
 35 am Datenbus übertragen werden.

(Fig. 2)



11.08.1999

# ZUSAMMENFASSUNG



1/9

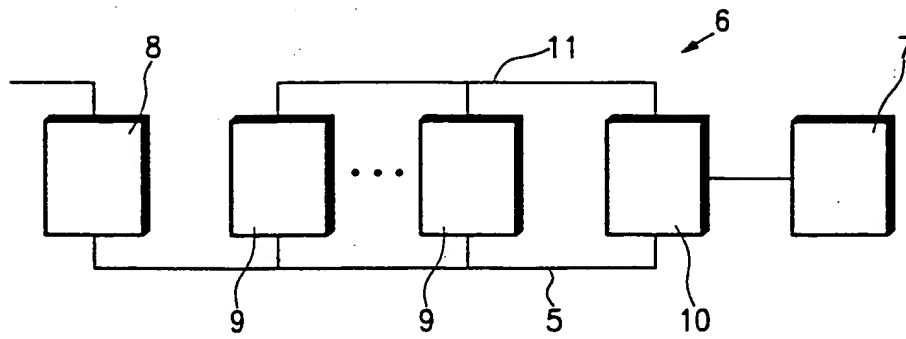


FIG.1

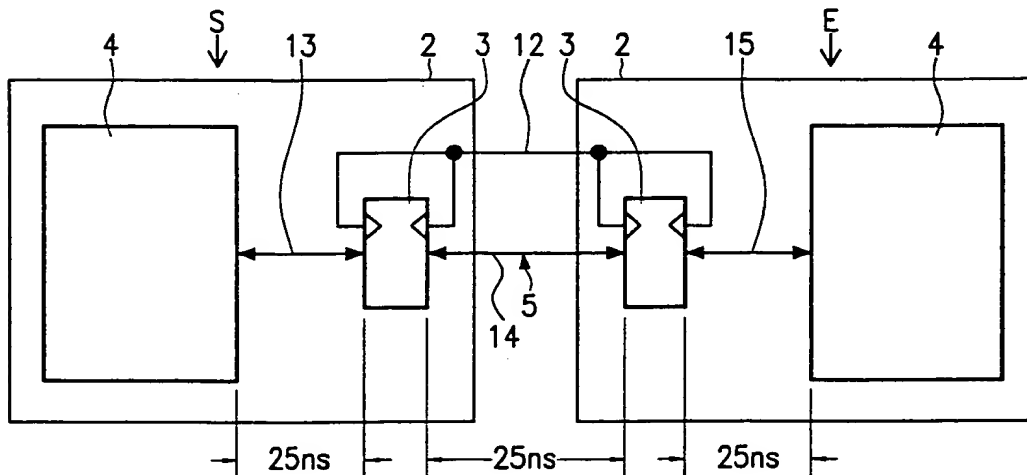


FIG.2

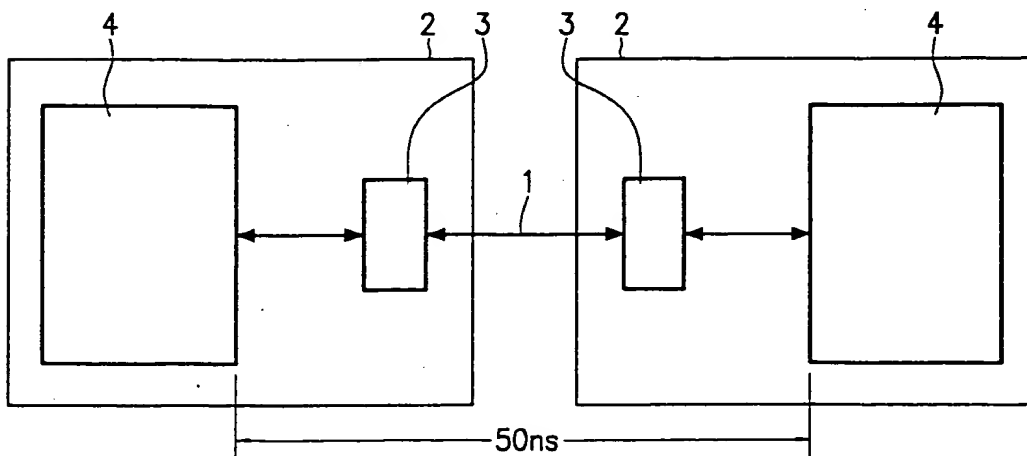


FIG.3

FIG. 4

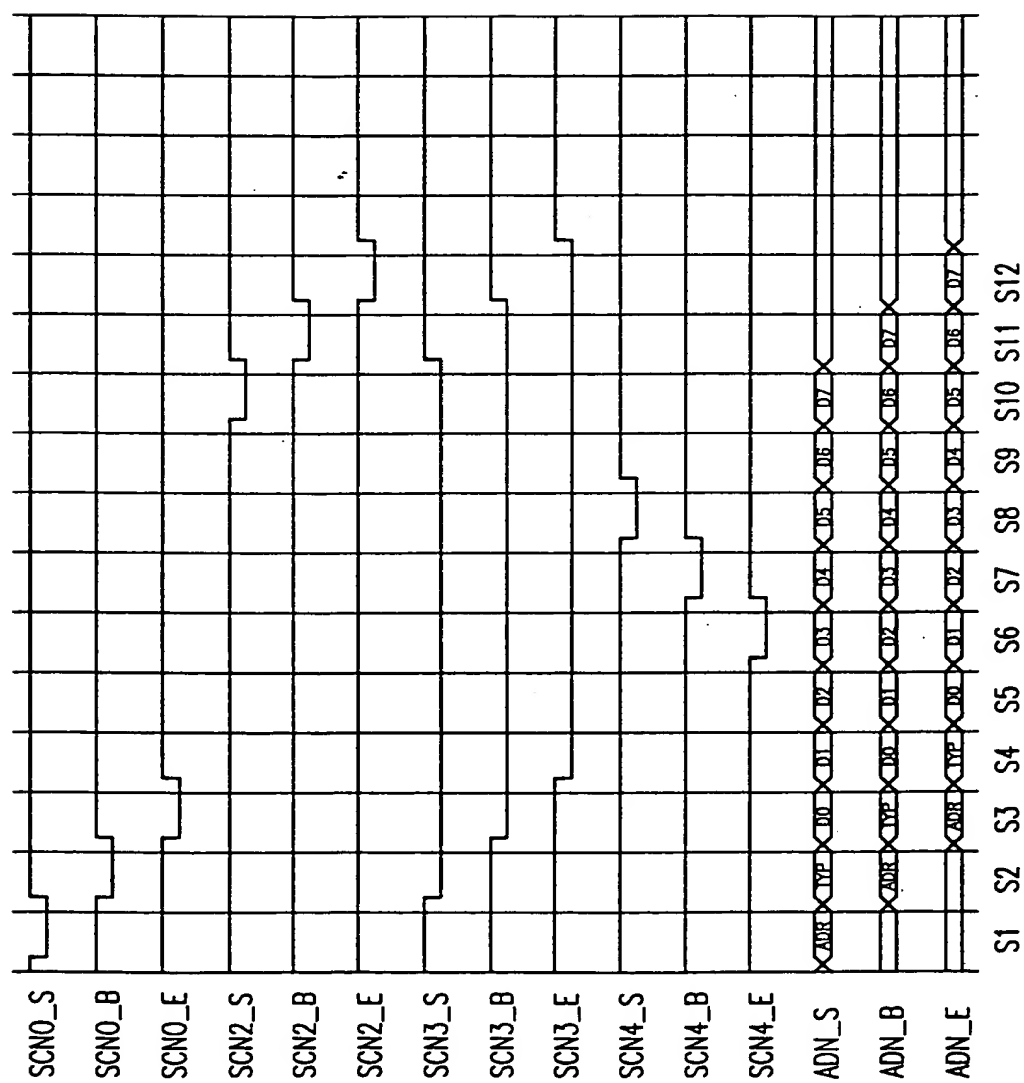
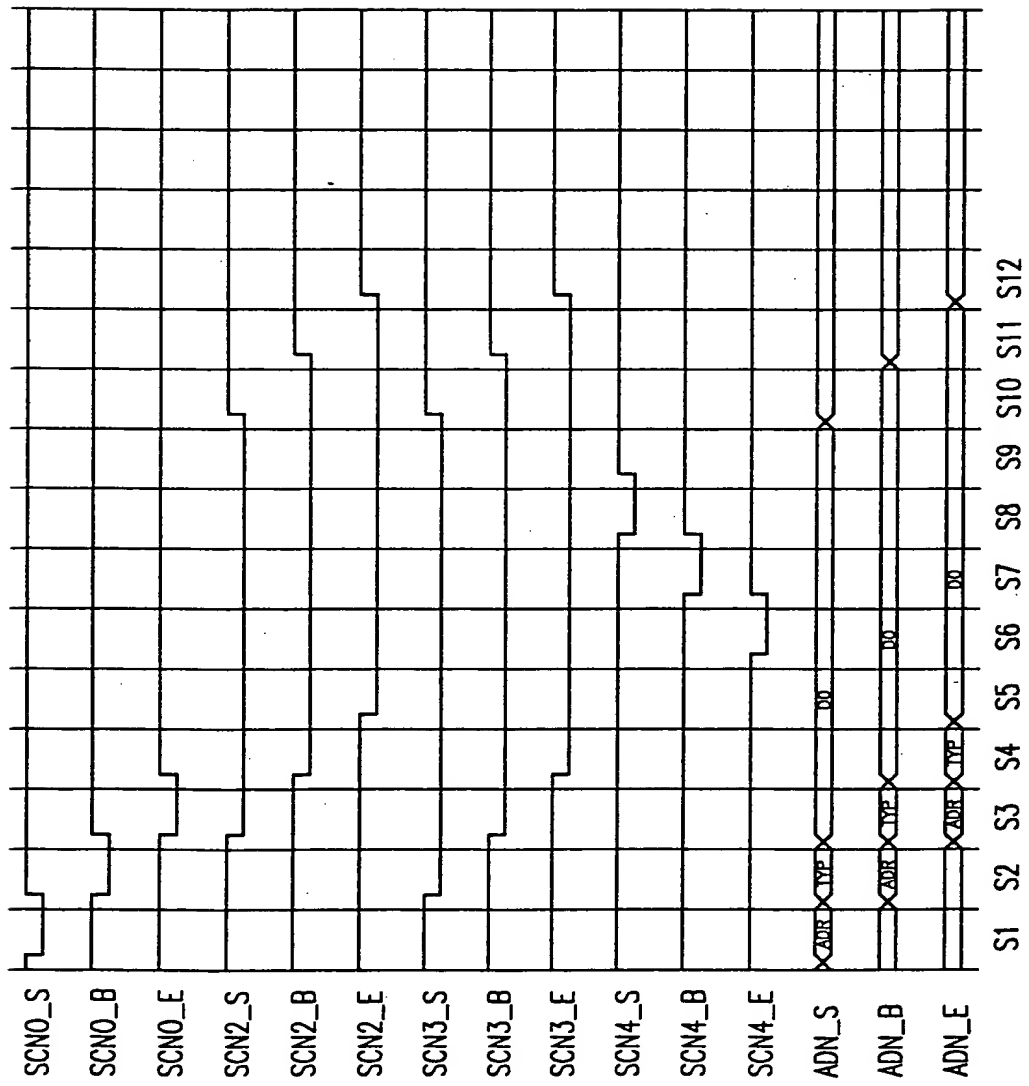


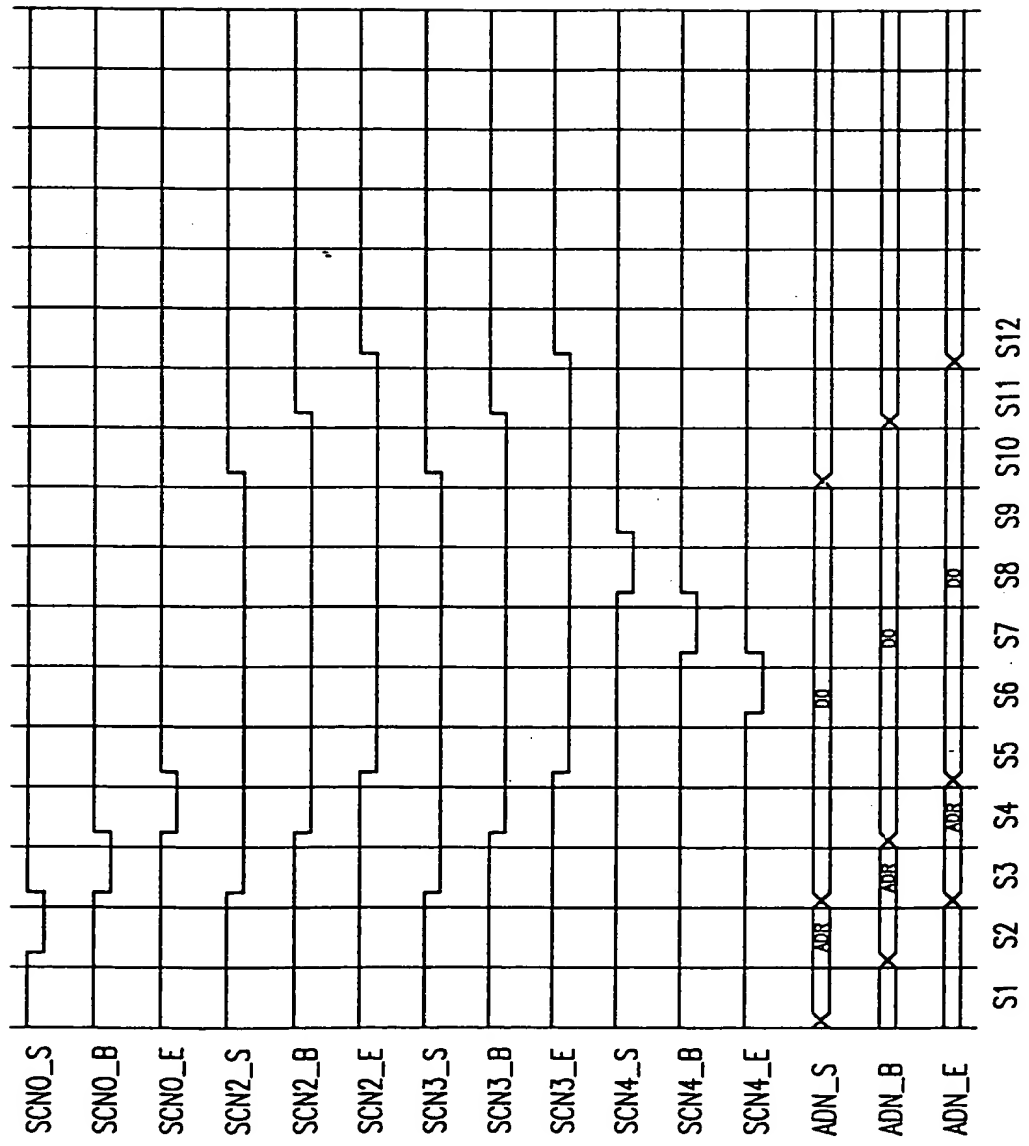
FIG.5



14 08. 10. 99

4/9

FIG.6

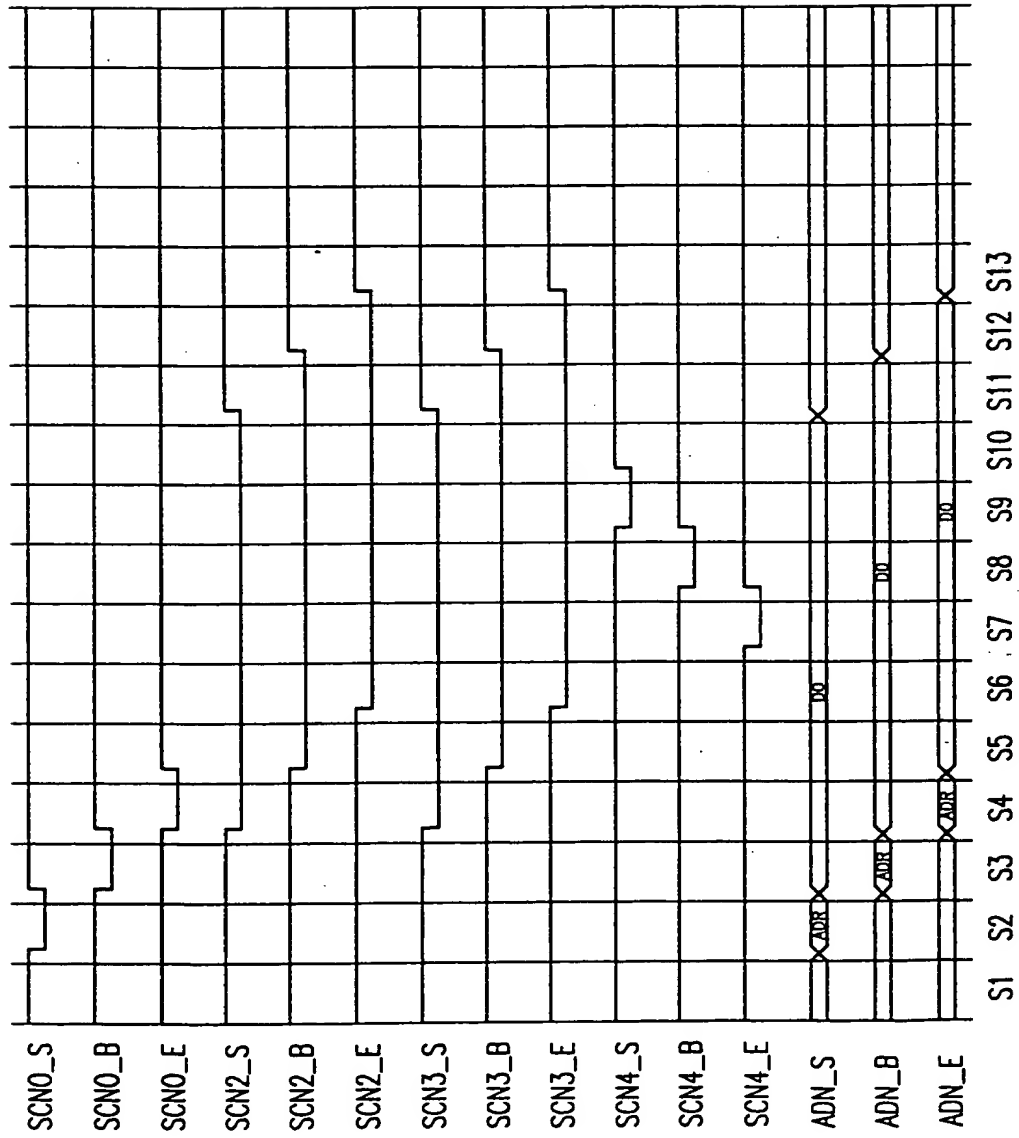




11 08 10 99

6/9

FIG. 8



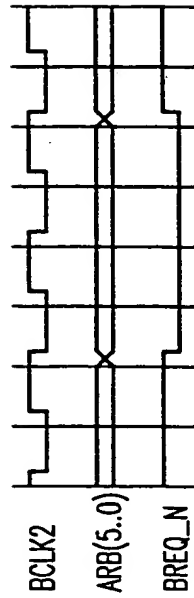


FIG.10

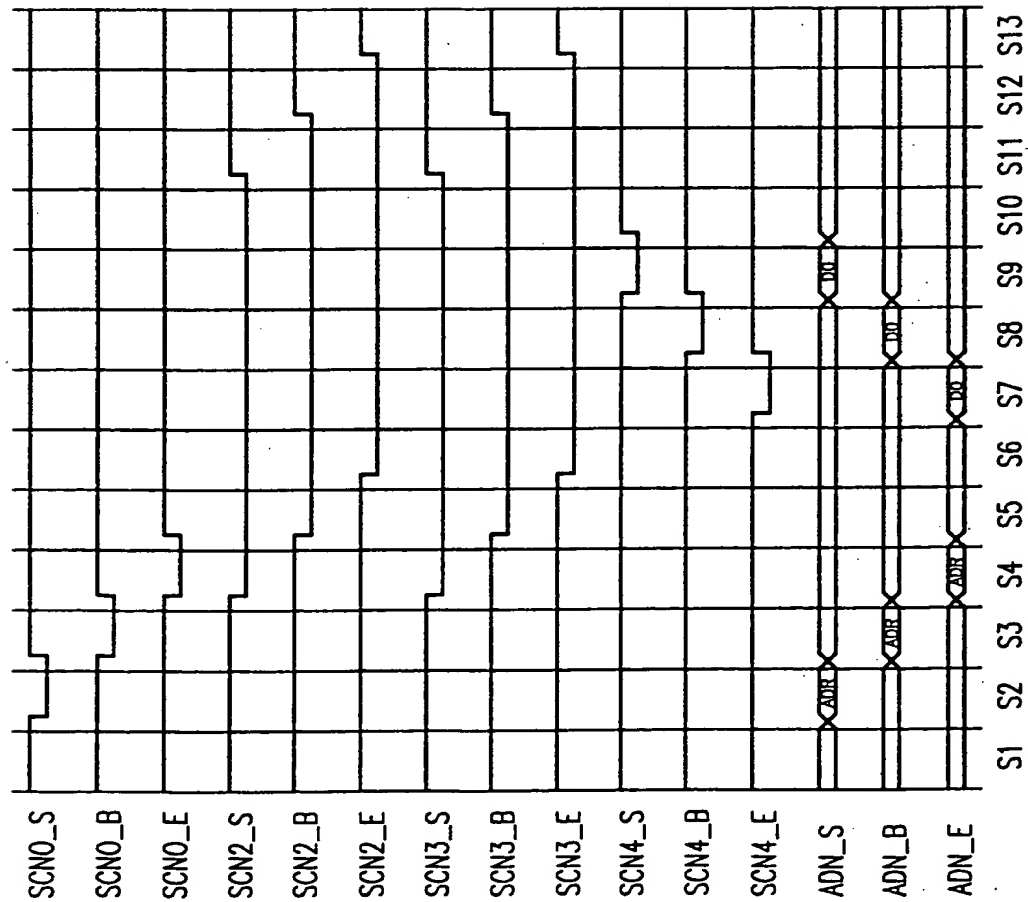
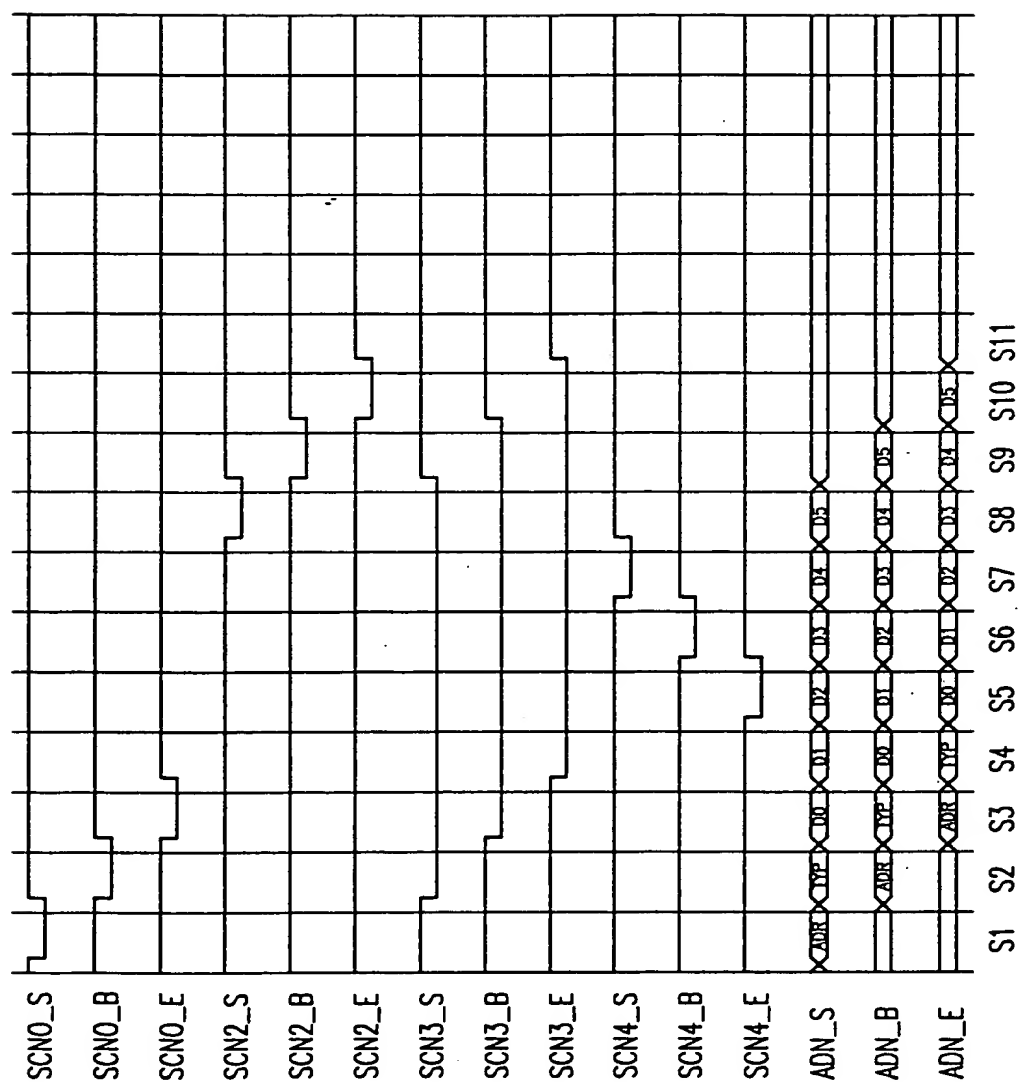


FIG.9



FIG.11



M 00 1 99

9/9

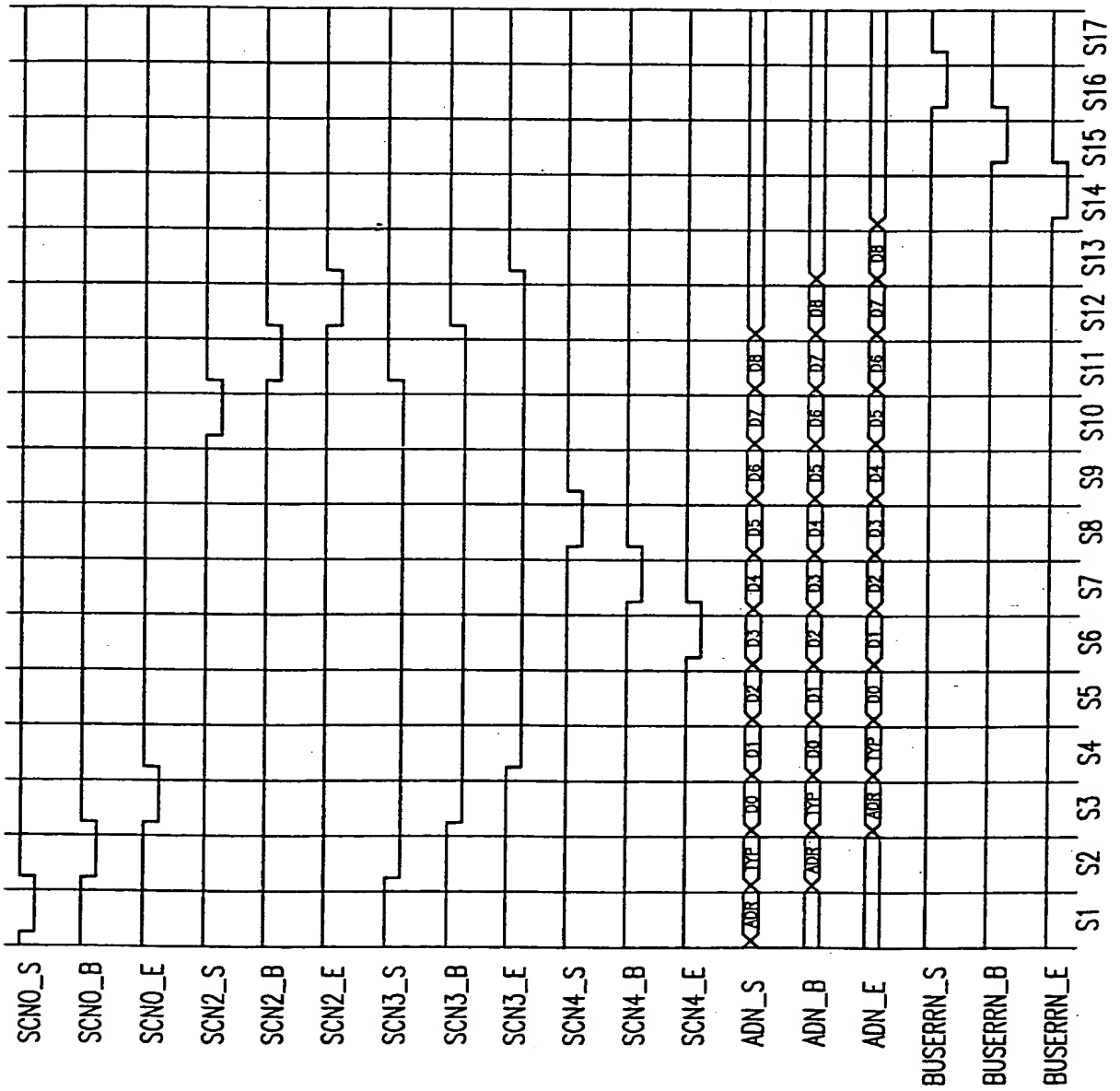


FIG.12

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**